

Sanity Check – Schnell zum funktionierenden Layout

Mit einfachen Mitteln Redesigns von Leiterplatten vermeiden

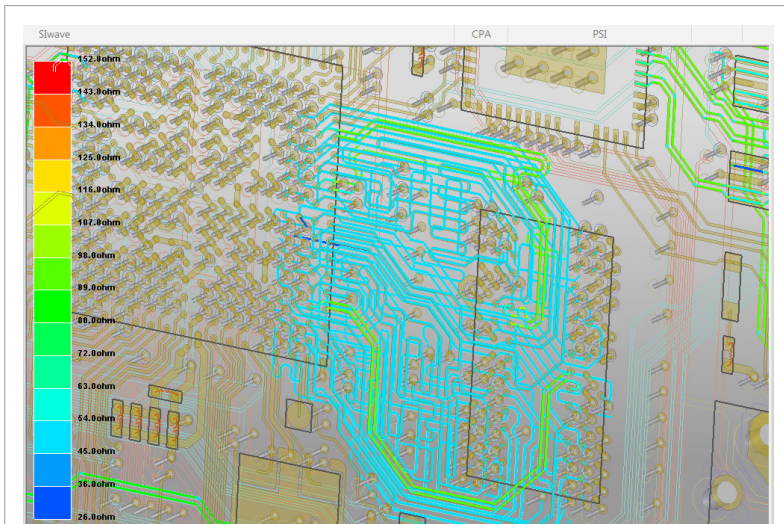


Bild 1: Beispiel eines DDR3 Impedanzscan auf einer Embedded Baugruppe

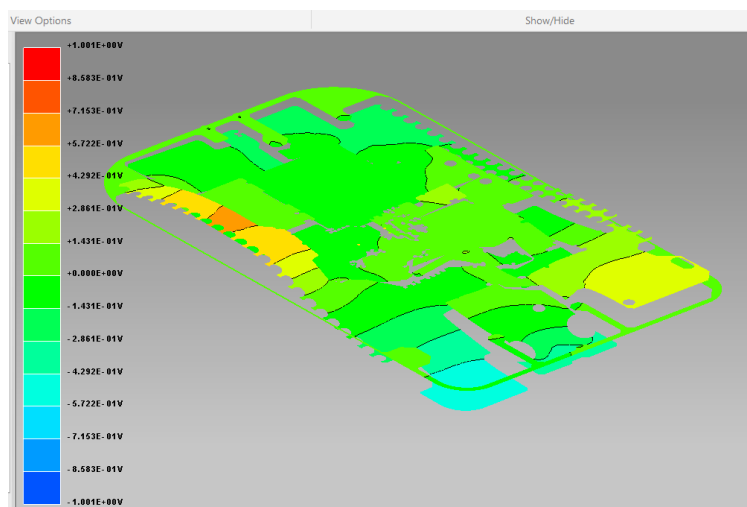


Bild 2: Darstellung von Resonanzen auf den Versorgungslagen

Herausforderungen beim Leiterplattendesign

Fragt man Designverantwortliche nach den häufigsten Gründen für ein Redesign, kommt zu 80% die Antwort, „wir haben EMV oder SI/PI Probleme“. Die wenigsten Designabteilungen beschäftigen sich im Vorfeld intensiv mit der korrekten Auslegung von Designregeln und deren korrekter Umsetzung.

Bei den heutigen komplexen Baugruppen, ist die Einhaltung dieser Regeln ein zeitaufwendiger Teil des Designs. Diese Regeln müssen am Ende des Layouts noch einmal geprüft werden, um fehlerfrei in die Platinenproduktion zu starten.

Dazu ist es z.B. notwendig, Bereiche mit Impedanz-Fehlanpassung (Routing über Schlitze, Padstacks ...) und Übersprechen von Signalen im Design zu identifizieren. Schon das Verletzen einer Impedanzvorgabe bei der Clockleitung eines Speicherbausteins, kann zur Folge haben, dass das gesamte Design nicht in Betrieb genommen werden kann.

Desweiteren können viele EMV Effekte durch geschickte Vermeidung von Resonanzen im Versorgungsnetzwerk unterdrückt werden.

Ihr Ansprechpartner

Ronald Weber

T +49 (0) 80 92 70 05 838

rweber@cadfem.de

Sanity Check – Schnell zum funktionierenden Layout

Mit einfachen Mitteln Redesigns von Leiterplatten vermeiden

Lösung

Das Softwareprodukt ANSYS SIwave, mit seiner intuitiven Benutzerführung sichert die einfache Handhabung und die physikalische Berechnungsmethode unbestechliche Ergebnisse. Kurze Bearbeitungs- und Berechnungszeiten in Kombination mit einem nutzungs-basierten Lizenzmodell (pay-per-use) sorgen für eine kostengünstige Absicherung des Designs.

ANSYS SIwave ermöglicht eine gezielte Kontrolle von Resonanzen, Impedanz- und Übersprechverhalten auf Leiterplatten vor Produktionsdatenerstellung.

Bei auftretenden Resonanzen können noch während der Bauteilplatzierung Gegenmaßnahmen ergriffen und deren Wirksamkeit überprüft werden.

In der Routingphase des Layouts kann des Impedanz- und Übersprechverhalten interaktiv überprüft und angepasst werden.

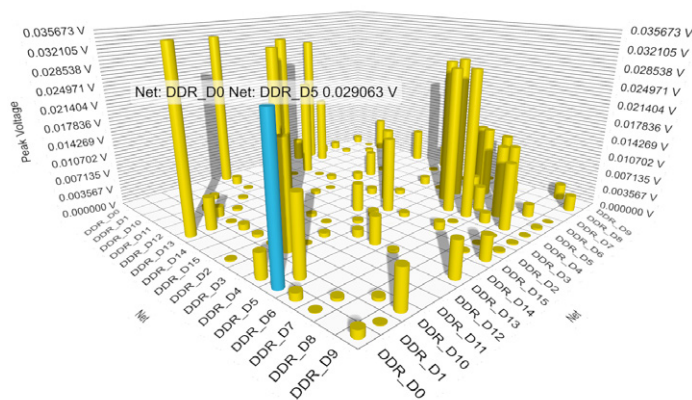


Bild 3: Grafische Crosstalk-Darstellung der DDR3 Datenleitungen

ANSYS ist ein eingetragenes Warenzeichen von ANSYS, Inc. Alle genannten Produkte sind eingetragene Warenzeichen ihrer jeweiligen Eigentümer.

Über CADFEM

Seit 1985 steht CADFEM für CAE-Kompetenz und arbeitet eng mit ANSYS Inc. zusammen. Heute sind wir ANSYS Elite Channel Partner und bieten alles, was über den

Nutzen für den Kunden

Durch gezielte Verwendung von automatischen Checks, ist das Risiko ein Redesign zu erstellen um mind. 70% geringer.

Durch diese erprobten Strategien, ist das Risiko SI/PI und EMV-Probleme erst nach Erstellung eines Prototyps zu erkennen, deutlich geringer.

Auf diese Weise lassen sich Entwicklungszeiten berechenbarer planen und einhalten.

Vorteile für Sie:

- Risikominimierung für Redesign
- Designoptimierung im Layoutprozess
- Einhalten von EMV vor Produktionserstellung

ANSYS SIwave 2017.2.0 (solver build: Jul 20 2017 Win64) Host Name: MUC-BD-RH

Single Ended and Differential Net Impedance Violation

Net Name	Impedance Warning Tolerance	Impedance Violation Tolerance	SE or Diff	Cross Section Type	Target Z0 (Ohms)	Violation	Layer of Violation	Max Z (Z0/20)	Z of Max (Ohms)	Length of Max (mm)	Z of Longest Violation/Warning (Ohms)	Length of Longest Violation/Warning (mm)	Pairing Ratio length paired/length total
DDR_VTP	10.0%	20.0%	SE	MSL; STL	50.0	Yes	"BOTTOM"	46.2%	26.9	4.051	26.9	4.051	
HDML_TX1	10.0%	20.0%	Diff	MSL; STL	100.0	Yes	"TOP"	43.6%	56.4	1.651	56.4	1.651	87.3%
HDML_TX2	10.0%	20.0%	Diff	MSL; STL	100.0	Yes	"TOP"	43.6%	56.4	1.651	56.4	1.651	89.4%
HDML_TXC	10.0%	20.0%	Diff	MSL; STL	100.0	Yes	"TOP"	43.6%	56.4	1.651	56.4	1.651	82.8%
USB0	10.0%	20.0%	Diff	MSL; STL	100.0	Yes	"BOTTOM"	56.3%	43.5	1.400	43.5	1.400	90.2%
USB1	10.0%	20.0%	Diff	MSL; STL	100.0	Warning		16.8%	83.2	18.796	83.2	18.796	90.4%
DDR_D0	10.0%	20.0%	SE	MSL; STL	50.0	No		-2.2%	48.9	17.107	48.9	17.107	
DDR_D1	10.0%	20.0%	SE	MSL; STL	50.0	No		3.7%	31.9	1.602	49.3	11.879	
DDR_D2	10.0%	20.0%	SE	MSL; STL	50.0	No		3.9%	31.9	1.630	49.1	11.198	
DDR_D3	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.8%	49.1	20.464	49.1	20.464	
DDR_D4	10.0%	20.0%	SE	MSL; STL	50.0	No		-2.2%	48.9	22.272	48.9	22.272	
DDR_D5	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	
DDR_D6	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.8%	49.1	22.252	49.1	22.252	
DDR_D7	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	
DDR_D8	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	
DDR_D9	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	
DDR_D10	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	
DDR_D11	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	
DDR_D12	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	
DDR_D13	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	
DDR_D14	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	
DDR_D15	10.0%	20.0%	SE	MSL; STL	50.0	No		-1.2%	49.4	22.300	49.4	22.300	

Bild 4: HTML Auswertung der Impedanzberechnung

Simulationserfolg entscheidet, aus einer Hand: Software und IT-Lösungen. Beratung, Support, Engineering. Know-how-Transfer.